

PAT-NO: JP405012895A
DOCUMENT-IDENTIFIER: JP 05012895 A
TITLE: SEMICONDUCTOR STORAGE

PUBN-DATE: January 22, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
HOTTA, YASUHIRO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP N/A	

APPL-NO: JP03161859
APPL-DATE: July 2, 1991

INT-CL (IPC): G11C017/18

ABSTRACT:

PURPOSE: To reduce the chip area and to reduce the power consumption by connecting plural data lines to the load circuits and connecting the selected one of data lines to a sense amplifier via a switch circuit.

CONSTITUTION: The memory cells 2 are provided at the crossing parts between the data lines D10-D17 and a single row selection line W1. These data lines are connected to the load circuits 6 and a sense amplifier 3. Each cell 2 consists of a MOSFET and each of transistors TR Q10-Q17 is turned on or off in accordance with the logical states set previously after the line W1 is set at a high level. Meanwhile the circuit 4 sets one of bank selection lines P0-P1 at a high level to turn on the TR QP0-QP7 and connects selectively only one of corresponding lines D10-D17 to the amplifier 3. Thus the amplifier 3 can be shared by these data lines. Then the chip area and the power consumption can be reduced.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-12895

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

G 1 1 C 17/18

識別記号

庁内整理番号

F I

技術表示箇所

9191-5L

G 1 1 C 17/ 00

3 0 6 A

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-161859

(22)出願日 平成3年(1991)7月2日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 堀田 泰裕

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

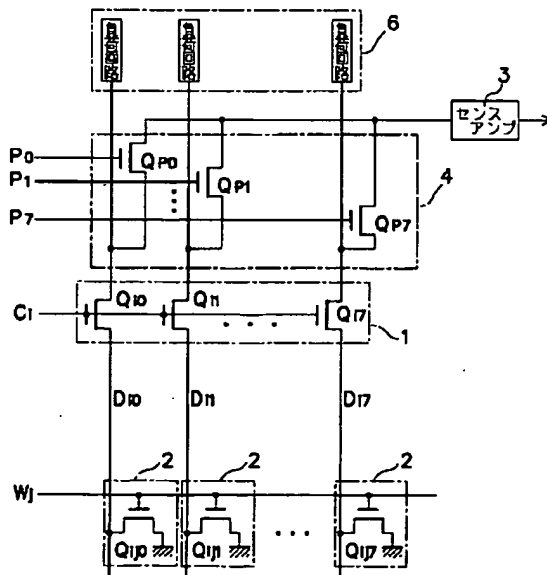
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【構成】データ線D₁₀～D₁₇に負荷回路6を接続し、同時に選択されるデータ線D₁₀～D₁₇のうちいずれか1本のみを選択的にセンスアンプ3に接続するスイッチ回路4を設ける。

【効果】複雑な回路構成のセンスアンプ3を同時に選択されるデータ線D₁₀～D₁₇によって共有化することができるので、従来通りの高速読み出しモードを有しながら、チップ面積を縮小し、かつ、消費電力の低減を図ることができる。



1

【特許請求の範囲】

【請求項1】マトリクス状に配置された多数のメモリセルに対して、1の行選択線と1の列選択線の指定により同時に複数のメモリセルを選択する半導体記憶装置であって、

メモリセルの各データ線にそれぞれ接続される負荷回路、及び同時に選択されるメモリセルのデータ線のうちいずれか1のデータ線のみを選択的にセンスアンプ回路に接続するスイッチ回路を備えている半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速読み出しモードを有する半導体記憶装置に関する。

【0002】

【従来の技術】近年、マイクロプロセッサ等の高速化に伴い、半導体記憶装置も高速動作を行うものがますます要望されるようになって来た。そこで、通常のランダムアクセスを高速化すると共に、アクセス方法は多少制限されるがさらに高速の読み出しを可能にした高速読み出しモードを有する半導体記憶装置が開発されている（例えば、B. ASHMOREらの「A 20ns 1Mb CMOS Burst Mode EPROM」（1989 IEEE International Solid-State Circuit Conference））。

【0003】このような高速読み出しモードを有する従来のマスクROM（Read Only Memory）の一例を図5に示す。

【0004】このマスクROMでは、入力アドレスの上位ビットをデコードすることにより1の行選択線 C_i が指定されると、データ線選択回路11の複数のトランジスタ $Q_{i0} \sim Q_{in}$ がオンとなって、これに対応する複数のデータ線 $D_{i0} \sim D_{in}$ が選択される。また、入力アドレスの下位ビットは、最下位の数ビットを除いたものがデコードされて、いずれか1の列選択線 W_j が指定される。従って、この1の行選択線 C_i と1の列選択線 W_j の指定により、同時に複数のメモリセル12が選択されることになる。

【0005】ここで、各メモリセル12は、それぞれMOSFETからなる1個のトランジスタ $Q_{ij0} \sim Q_{ijn}$ によって構成されている。そして、これらのトランジスタ $Q_{ij0} \sim Q_{ijn}$ は、半導体製造プロセスにおいて、論理状態の「1」を記憶する場合には閾値電圧が高電圧となり、論理状態の「0」を記憶する場合には閾値電圧が通常のエンハンスメント形と同様の電圧となるように形成されている。従って、上記の1の列選択線 W_j の指定によりこの列選択線 W_j がハイレベルになると、対応するメモリセル12のトランジスタ $Q_{ij0} \sim Q_{ijn}$ がその論理状態に応じてノーマル・オフ（「1」）又はオン（「0」）となる。

2

【0006】また、上記1の行選択線 C_i の指定によりデータ線選択回路11の複数のトランジスタ $Q_{i0} \sim Q_{in}$ がオンになると、列選択線 W_j で選択されたメモリセル12の各トランジスタ $Q_{ij0} \sim Q_{ijn}$ とセンスアンプ13とが接続される。従って、この行選択線 C_i によって選択された各データ線 $D_{i0} \sim D_{in}$ は、接続する各トランジスタ $Q_{ij0} \sim Q_{ijn}$ の論理状態に応じて電位がそれぞれ徐々にハイレベル（「1」）又はローレベル（「0」）に遷移し、この微小電位がそれぞれのセンスアンプ13によって増幅されて確定される。

【0007】そして、通常のランダムアクセスの場合には、入力アドレスの最下位ビットに応じて1のバンク選択線 $P_0 \sim P_n$ が指定されてハイレベルとなる。すると、スイッチ回路14のいずれか1のトランジスタ $Q_{p0} \sim Q_{pn}$ のみがオンとなり、これを介して1のデータ線 $D_{i0} \sim D_{in}$ に接続されたセンスアンプ13の出力が出力バッファ15に送り出される。従って、この通常のランダムアクセス時には、入力アドレスで指定したいいずれか1のメモリセル12に記憶された論理状態だけが出力バッファ15を介して読み出すことができる。

【0008】また、上記のようにして1のデータ線 $D_{i0} \sim D_{in}$ を介してメモリセル12の読み出しを行った場合、スイッチ回路14によって選択されなかった残りのデータ線 $D_{i0} \sim D_{in}$ 上の電位も各センスアンプ13によって既に確定されている。そこで、この状態で他のバンク選択線 $P_0 \sim P_n$ をハイレベルに切り替えると、データ線 $D_{i0} \sim D_{in}$ の電位が確定するまで待つことなく直ちに当該メモリセル12の読み出しを行うことができる。従って、高速読み出しモードの場合には、例えば入力アドレスの最下位ビットをアドレスカウンタ等によって自動的に生成し、各バンク選択線 $P_0 \sim P_n$ を順次ハイレベルに切り替えることにより、スイッチ回路14の各トランジスタ $Q_{p0} \sim Q_{pn}$ を順次オンにして、1の行選択線 C_i によって同時に選択された複数のデータ線 $D_{i0} \sim D_{in}$ から順に複数のメモリセル12の読み出しを高速で行うことができる。

【0009】即ち、図6に示すように、時刻 t_{i0} に入力アドレスが確定したとすると、これに応じて1の行選択線 C_i と1の列選択線 W_j が指定されてハイレベルとなる。すると、各データ線 $D_{i0} \sim D_{in}$ がそれぞれのセンスアンプ13に接続されて電位が遷移し、時刻 t_{i1} に確定する。また、このときにはバンク選択線 P_0 が指定されてハイレベルとなっているため、出力バッファ15には、データ線 D_{i0} に接続されたセンスアンプ13の出力が送り出される。そして、この後、時刻 t_{i2} にバンク選択線 P_1 がハイレベルに切り替わると、出力バッファ15には、データ線 D_{i1} に接続されたセンスアンプ13の出力が送り出され、以降、順次バンク選択線 $P_2 \sim P_n$ がハイレベルに切り替わることにより、それぞれのデータ線 $D_{i2} \sim D_{in}$ に接続されたセンスアンプ13の出力が

カバッファ15に送り出される。

【0010】この結果、トランジスタ Q_{ij0} からなる最初のメモリセル12からの読み出しには、通常のランダムアクセスの場合と同様に、データ線 D_{i0} の電位が確定するまでの時間($t_{i1}-t_{i0}$)を要することになるが、それ以降は、同時に選択されたデータ線 $D_{i1}\sim D_{in}$ の電位が既に確定されているために、これらに対応するトランジスタ $Q_{ij1}\sim Q_{ijn}$ からなるメモリセル12をバンク選択線 $P_1\sim P_n$ の切り替えにより直ちに読み出しすることができる。

【0011】

【発明が解決しようとする課題】ところが、上記従来の半導体記憶装置では、高速読み出しモードを設けるために、1の行選択線 C_i によって同時に選択される全てのデータ線 $D_{i0}\sim D_{in}$ 上にそれぞれセンスアンプ13を設けておく必要がある。従って、読み出しの高速化のために同時に読み出すことができるビット数が増加するほどセンスアンプ13の数も増やさなければならなくなり、チップの占有面積が大きくなると共に、消費電力も増大することになる。

【0012】このため、従来の高速読み出しモードを有する半導体記憶装置は、同時に読み出すビット数が増加するほど、チップ面積が増大して消費電力も大きくなるという問題が生じていた。

【0013】本発明は、上記事情に鑑み、各データ線に負荷回路を設けることにより、同時に選択されるデータ線のセンスアンプを共有化して、チップ面積の縮小や消費電力の低減化を図ることができる半導体記憶装置を提供することを目的とするものである。

【0014】

【課題を解決するための手段】本発明の半導体記憶装置は、マトリクス状に配置された多数のメモリセルに対して、1の行選択線と1の列選択線の指定により同時に複数のメモリセルを選択する半導体記憶装置であって、メモリセルの各データ線にそれぞれ接続される負荷回路、及び同時に選択されるメモリセルのデータ線のうちいずれか1のデータ線のみを選択的にセンスアンプ回路に接続するスイッチ回路を備えており、そのことにより上記目的が達成される。

【0015】上記各データ線の電位を実質的に等しくするイコライジング手段を更に備えているのが好ましい。

【0016】

【作用】上記構成により、1の行選択線と1の列選択線の指定によって複数のメモリセルが同時に選択されると、これらのメモリセルに接続されたデータ線の電位がそれぞれの負荷回路によって各メモリセルのオン/オフ状態に応じ徐々に遷移する。そして、これらのデータ線の電位が確定すると、各データ線がスイッチ回路によって選択的にセンスアンプに接続される。すると、最初のメモリセルの読み出しに関してはデータ線の電位が確定

するまでの時間を要するが、以降同時に選択された残りのメモリセルについては、データ線の電位が既に確定しているため、直ちにこのセンスアンプで増幅して読み出しを行うことができるようになる。

【0017】ここで、センスアンプは、差動増幅回路等の複雑な回路によって構成され、チップ上で広い占有面積を要すると共に、消費電力も大きくなる。しかし、負荷回路は、データ線ごとに例えば1個のトランジスタを設けるだけの簡単な構成で足り、占有面積が小さく消費電力も僅かで済む。従って、本発明の半導体記憶装置によれば、簡単な負荷回路を設けるだけで、複雑な回路構成のセンスアンプを共有化することができるので、従来通りの高速読み出しモードを有しながら、チップ面積を縮小し、かつ、消費電力の低減を図ることができる。

【0018】

【実施例】本発明を実施例について以下に説明する。

【0019】図1に本発明の一実施例を示す。本実施例のマスクROMは、図1に示すように、8本のデータ線 $D_{i0}\sim D_{i7}$ と1本の列選択線 W_j との交差部にそれぞれメモリセル2が接続されている。これらのデータ線 $D_{i0}\sim D_{i7}$ は、データ線選択回路1及びスイッチ回路4を介して1のセンスアンプ3に接続されている。また、これらのデータ線 $D_{i0}\sim D_{i7}$ は、データ線選択回路1を介して負荷回路6にも接続されている。

【0020】各メモリセル2は、それぞれMOSFETからなる1個ずつのトランジスタ $Q_{ij0}\sim Q_{ij7}$ によって構成されている。列選択線 W_j がハイレベルになると、各メモリセル2のトランジスタ $Q_{ij0}\sim Q_{ij7}$ が予め半導体製造プロセスで設定された論理状態に応じてオフ

(「1」)又はオン(「0」)となる。データ線選択回路1は、それぞれMOSFETからなるトランジスタ $Q_{i0}\sim Q_{i7}$ によって構成され、行選択線 C_i がハイレベルになることにより、全てのトランジスタ $Q_{i0}\sim Q_{i7}$ がオンとなる。また、スイッチ回路4では、いずれかのバンク選択線 $P_0\sim P_7$ がハイレベルとなることにより、それぞれMOSFETからなるトランジスタ $Q_{p0}\sim Q_{p7}$ のうちのいずれかがオンとなって、対応する1のデータ線 $D_{i0}\sim D_{i7}$ のみを選択的にセンスアンプ3に接続する。

【0021】データ線 $D_{i0}\sim D_{i7}$ は、図示の8本を1組として、図示以外にも複数組が設けられている。また、行選択線 C_i とデータ線選択回路1も、これに対応して図示のもの以外にそれぞれ複数設けられている。そして、入力アドレスの上位ビットをデコードすることによりいずれか1の行選択線 C_i が指定されると、これに対応するデータ線選択回路1によって1組のデータ線 $D_{i0}\sim D_{i7}$ のみを導通させてこれを選択するようになっている。

【0022】また、列選択線 W_j も、図示のもの以外に複数設けられている。そして、入力アドレスの下位ビットから最下位の数ビットを除いたものをデコードするこ

5

とによりいずれか1の列選択線 W_j が指定されると、当該列選択線 W_j と各データ線 $D_{i0} \sim D_{i7}$ との各交差部に接続されたメモリセル2のトランジスタをオン/オフさせてこれを選択するようになっている。即ち、メモリセル2も、図示以外にそれぞれのデータ線 $D_{i0} \sim D_{i7}$ と列選択線 W_j の各交差部に2次元マトリクス状に多数配置されている。

【0023】スイッチ回路4及びセンスアンプ3も、各組のデータ線 $D_{i0} \sim D_{i7}$ 毎に複数個設けられている。そして、入力アドレスにおける下位ビットのさらに最下位の数ビットをデコードすることによりいずれか1のバンク選択線 $P_0 \sim P_7$ が指定されると、上記のようにデータ線 $D_{i0} \sim D_{i7}$ の対応する1本のみを当該センスアンプ3に接続することになる。

【0024】センスアンプ3は、図2に示すように、MOSFETからなる差動増幅回路によって構成されている。そして、スイッチ回路4によって接続されるいずれか1のデータ線 $D_{i0} \sim D_{i7}$ を一方の入力としている。また、センスアンプ3の他方の入力には、図1では図示を省略したダミーデータ線 D_d が接続されている。ダミーデータ線 D_d は、列選択線 W_j との交差部にダミーセル7を設けたセンスアンプ3の参照用の回路であり、ダミーセル7は、メモリセル2における論理状態「0」のトランジスタと同じ特性のトランジスタ Q_{jd} によって構成されている。そして、このダミーデータ線 D_d と各データ線 $D_{i0} \sim D_{i7}$ とは、イコライジング回路8を介して接続されている。イコライジング回路8は、MOSFETからなるトランジスタ $Q_{E0} \sim Q_{E7}$ によって構成され、イコライジング信号 EQU がハイレベルになるとこれらトランジスタ $Q_{E0} \sim Q_{E7}$ がオンとなって、ダミーデータ線 D_d と各データ線 $D_{i0} \sim D_{i7}$ との間を導通させるようになっている。なお、センスアンプ3は、チップイネーブル信号 CE バーがハイレベルの場合（アクティブでない場合）には電源が遮断されるようになっている。

【0025】負荷回路6は、MOSFETからなるトランジスタ $Q_{Li0} \sim Q_{Li7}$ 及びトランジスタ Q_{Ld} と、NOR回路6aとによって構成されている。トランジスタ $Q_{Li0} \sim Q_{Li7}$ 及びトランジスタ Q_{Ld} は、それぞれ電源と各データ線 $D_{i0} \sim D_{i7}$ 及びダミーデータ線 D_d との間に接続され、NOR回路6aの出力がハイレベルの場合に、これらの間を導通させる。ただし、トランジスタ Q_{Ld} は、他のトランジスタ $Q_{Li0} \sim Q_{Li7}$ に対して2倍の駆動電流特性を有するMOSFETによって構成されている。NOR回路6aは、一方の入力がダミーデータ線 D_d に接続され、チップイネーブル信号 CE バーがローレベル（アクティブ）の場合にのみ、ダミーデータ線 D_d の論理レベルを反転して出力する。

【0026】上記構成のマスクROMの動作を図3及び図4を用いて説明する。

【0027】図3に示すように、時刻 t_0 に入力アドレ

6

スが確定すると、これに応じて1の行選択線 C_i と1の列選択線 W_j が指定されてハイレベルとなる。すると、メモリセル2とダミーセル7のトランジスタ $Q_{ij0} \sim Q_{ij7}$ 及びトランジスタ Q_{jd} がそれぞれの論理状態に応じてオン又はオフとなり、データ線選択回路1の各トランジスタ $Q_{i0} \sim Q_{i7}$ もオンとなる。また、これと同時にイコライジング信号 EQU が一定時間 T だけハイレベルとなり、この間トランジスタ $Q_{E0} \sim Q_{E7}$ をオンとして、各データ線 $D_{i0} \sim D_{i7}$ とダミーデータ線 D_d との間を導通させ、これらの電位を等しくする。

【0028】そして、時間 T の経過後にイコライジング信号 EQU がローレベルに戻りトランジスタ $Q_{E0} \sim Q_{E7}$ がオフになると、各トランジスタ $Q_{i0} \sim Q_{i7}$ 及びダミーデータ線 D_d の電位がそれぞれに接続されているトランジスタ $Q_{ij0} \sim Q_{ij7}$ 及びトランジスタ Q_{jd} のオン/オフ状態に応じて遷移し始める。即ち、ダミーデータ線 D_d は、ダミーセル7が論理状態「0」であるため、負荷回路6のトランジスタ Q_{Ld} の充電電流とオン状態のトランジスタ Q_{jd} の放電電流とが均衡する電位 V_{REF} に遷移し確定する。また、メモリセル2の論理状態が「1」の場合には、トランジスタ $Q_{ij0} \sim Q_{ij7}$ がオフ状態となるため、対応するトランジスタ $Q_{Li0} \sim Q_{Li7}$ がオフとなる電位 V_H に遷移し確定する。さらには、メモリセル2の論理状態が「0」の場合には、対応するトランジスタ $Q_{Li0} \sim Q_{Li7}$ の充電電流とオン状態のトランジスタ $Q_{ij0} \sim Q_{ij7}$ の放電電流とが均衡する電位 V_L に遷移し確定する。ただし、ダミーセルのトランジスタ Q_{Ld} が2倍の駆動電流特性を有するため、これらの電位は、電位 V_H 、電位 V_{REF} 、電位 V_L の順に高電位となる（ $V_H > V_{REF} > V_L$ ）。

【0029】このようにして各データ線 $D_{i0} \sim D_{i7}$ 及びダミーデータ線 D_d の電位が確定して時刻 t_1 になると、センスアンプ3がスイッチ回路4によって選択されたいずれかのデータ線 $D_{i0} \sim D_{i7}$ とダミーデータ線 D_d の電位を比較して、その結果を出力バッファ5に出力する。

【0030】この結果、通常のランダムアクセス時には、時刻 t_0 に入力アドレスが確定すると、これによって1の行選択線 C_i と1の列選択線 W_j が指定され、且つ、スイッチ回路4によって1のデータ線 $D_{i0} \sim D_{i7}$ が選択されて、時刻 t_1 以降に該当するメモリセル2の論理状態を読み出すことができる。そして、次に異なるアドレスによってアクセスした場合にも、入力アドレスの確定から時間（ $t_1 - t_0$ ）が経過した後に該当するメモリセル2の論理状態を読み出すことができる。

【0031】また、高速読み出しモードの場合にも、図4に示すように、1の行選択線 C_i と1の列選択線 W_j によって同時に選択できる最初のメモリセル2の読み出しに関しては、入力アドレスの確定時刻 t_0 から各データ線 $D_{i0} \sim D_{i7}$ 及びダミーデータ線 D_d の電位が確定する時刻 t_1 までに上記通常のランダムアクセスの場合と同

7

じ時間 ($t_1 - t_0$) を要することになる。しかし、それ以降は、既に各データ線 $D_{i0} \sim D_{i7}$ の電位が確定しているため、時間 ($t_1 - t_0$) よりも十分に短い時間間隔の時刻 t_2 、時刻 $t_3 \dots$ にハイレベルとなるバンク選択線 $P_0 \sim P_7$ を切り替えるだけで、残りの7個のメモリセル2の読み出しを高速に行うことができるようになる。

【0032】この結果、本実施例のマスクROMによれば、従来と同様の高速読み出しモードを実現するために、各データ線 $D_{i0} \sim D_{i7}$ 毎にトランジスタ $Q_{Li0} \sim Q_{Li7}$ を1個ずつ接続した負荷回路6を設けているので、多数のMOSFETからなり消費電力も大きな差動増幅器によって構成されるセンスアンプ3の設置個数を8分の1まで削減することができる。

【0033】

【発明の効果】以上の説明から明らかなように、本発明の半導体記憶装置によれば、同時に選択される各データ線に簡単な負荷回路を設けるだけで、複雑な回路構成のセンスアンプを共有化することができるので、従来通りの高速読み出しモードを有しながら、チップ面積を縮小し、かつ、消費電力の低減を図ることができる。

【図面の簡単な説明】

8

【図1】本発明の一実施例であるマスクROMの概略構成を示すブロック図である。

【図2】その実施例の構成をさらに詳細に示すブロック図である。

【図3】図1の実施例に於ける、データ線の電位の遷移状態を示すタイムチャートである。

【図4】図1の実施例に於ける、高速読み出しモードの動作を示すタイムチャートである。

【図5】従来のマスクROMの構成を示すブロック図である。

【図6】図5のマスクROMに於ける高速読み出しモードの動作を示すタイムチャートである。

【符号の説明】

2 メモリセル

3 センスアンプ

4 スイッチ回路

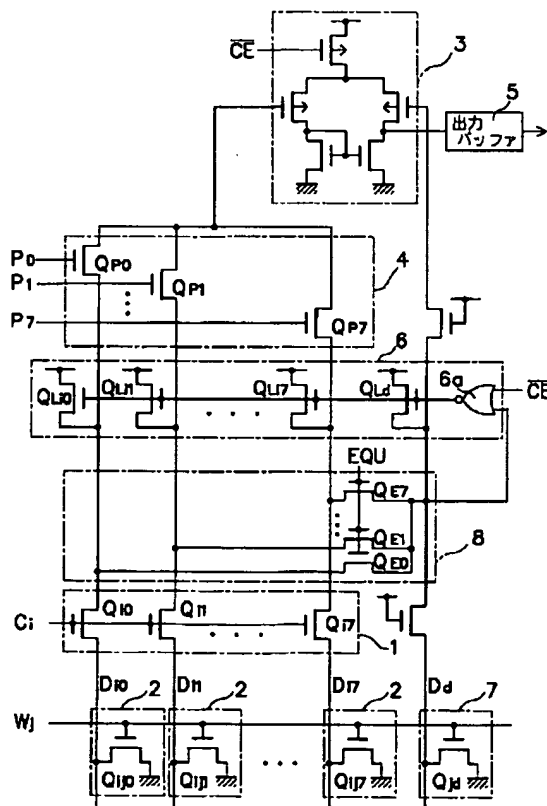
6 負荷回路

C_i 行選択線

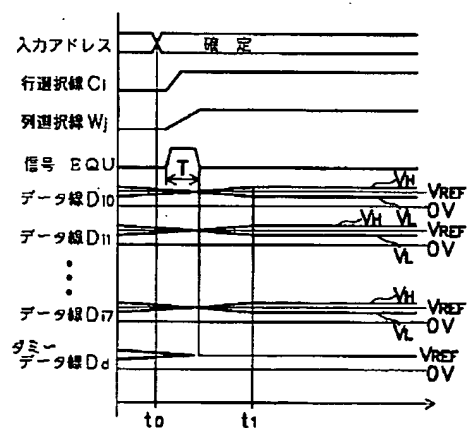
W_j 列選択線

20 $D_{i0} \sim D_{i7}$ データ線

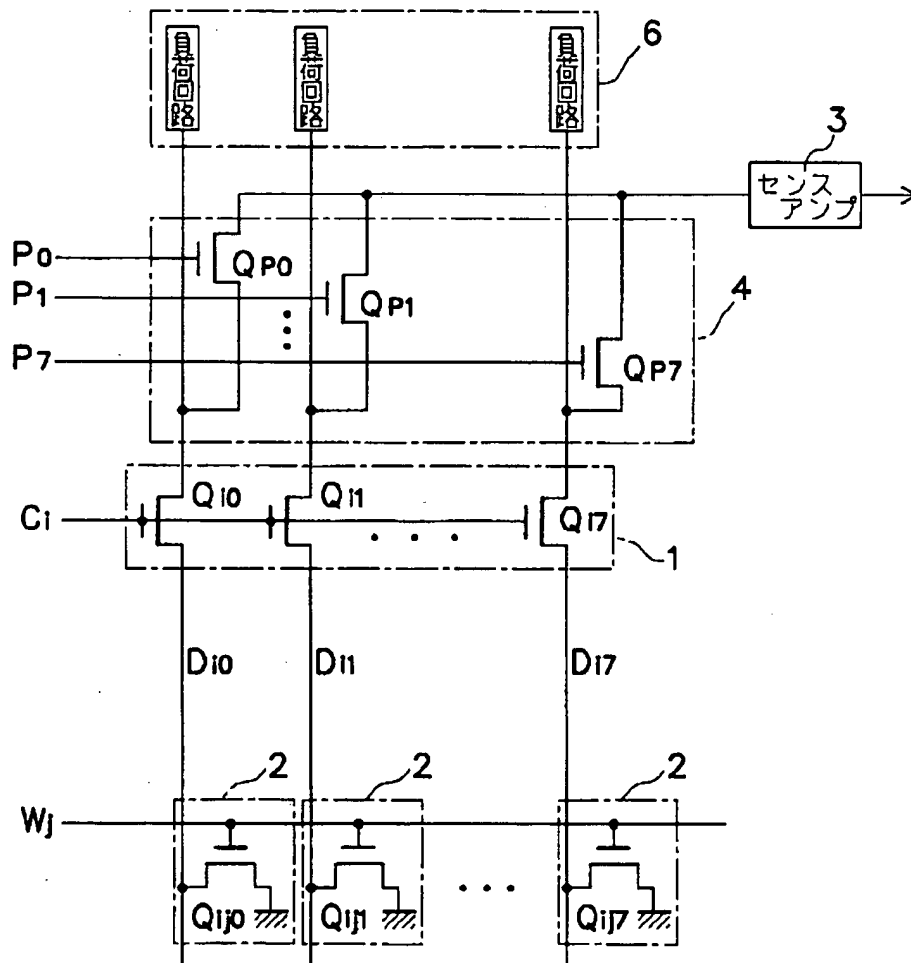
【図2】



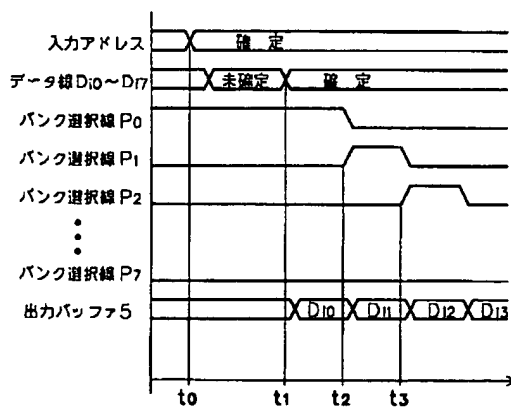
【図3】



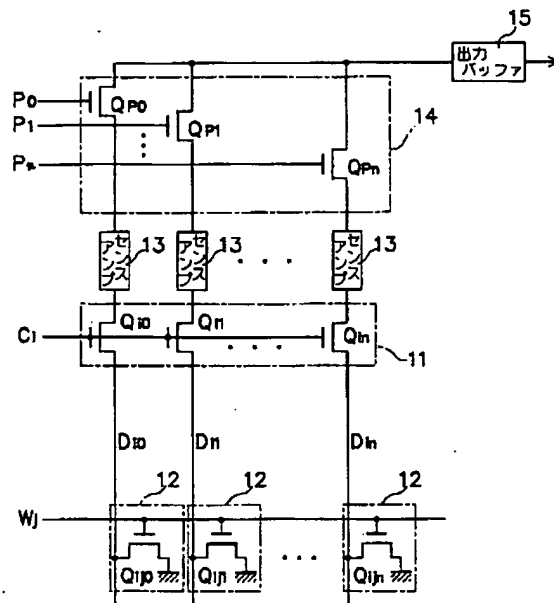
【図 1】



【図4】



【図5】



【図6】

